

CLIPPEDIMAGE= JP401298796A

PAT-NO: JP401298796A

DOCUMENT-IDENTIFIER: JP 01298796 A

TITLE: HYBRID INTEGRATED CIRCUIT

PUBN-DATE: December 1, 1989

INVENTOR-INFORMATION:

NAME

OTANI, YUJI

NAGASAKA, TAKASHI

FUKUDA, YUTAKA

NAKAGAWARA, HIDEKI

TANIGAWA, HIDEKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NIPPON DENSO CO LTD

N/A

APPL-NO: JP63129372

APPL-DATE: May 26, 1988

INT-CL (IPC): H05K003/46;H05K001/11

US-CL-CURRENT: 29/610.1

ABSTRACT:

PURPOSE: To seek to decrease exclusive area of a passive element such as a resistor, etc., so as to miniaturize a substrate by incorporating a resistor or a dielectric into a hole part which is opened to perform wiring between layers of a circuit substrate consisting of multilayer.

CONSTITUTION: Three alumina green sheets 11~13 are prepared, and via holes 14~16 are formed at a specified position of sheet 11 positioned at the uppermost layer. And conductor paste 17 is filled in the via hole 15 by screen printing. Next, resistor paste 18 and 19 is filled in the via holes 14 and 16 by a screen printing method. Next, similarly the specified patterns of conductor paste 20 and 21 are printed on the surface of each sheet 11~13 by the screen printing. And each sheet is pressed in the laminated condition and force-bonded. Thereafter, force-bonded each green sheet 11~13 is baked. As a result, a hybrid integrated circuit is formed, in which resistors 18 and 19 are incorporated in the via hole parts 14 and 16 to perform wiring between layers of alumina substrates 22~24 consisting of multilayer. Hereby, it becomes possible to decrease exclusive area of a passive element such as a resistor, etc., on the layer and miniaturize the substrate.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-298796

⑨ Int.Cl.

H 05 K 3/46
1/11

識別記号

庁内整理番号

Q-7039-5E

N-8727-5E

H-8727-5E

⑭ 公開 平成1年(1989)12月1日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 混成集積回路

⑯ 特 願 昭63-129372

⑰ 出 願 昭63(1988)5月26日

⑱ 発 明 者	大 谷 祐 司	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	長 坂 崇	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	福 田 豊	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	中 川 原 英 樹	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	谷 川 秀 樹	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑲ 出 願 人	日本電装株式会社	愛知県刈谷市昭和町1丁目1番地	
⑳ 代 理 人	弁理士 恩 田 博 宣		

明 細 書

1. 発明の名称

混成集積回路

2. 特許請求の範囲

1. 多層よりなる回路基板の層間の配線接続を施すために開けられたホール部に抵抗体若しくは誘電体を組込んだことを特徴とする混成集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は混成集積回路に関するものである。

〔従来技術及び課題〕

従来の多層混成集積回路(多層ハイブリッドIC)においては、第4図に示すように受動素子である厚膜抵抗体1は多層よりなる基板2の表面においてターミナルとなる導体3、4間に形成される。ところが、この厚膜抵抗体1の占有面積は導体3、4を含めて少なくとも1.6mm²程度必要となっている。従って、このような厚膜抵抗体1を使用する場合において抵抗体の数が多いときには基板サイズの小型化(高密度化)に対応でき

ないという問題があった。

この発明の目的は、上記課題に鑑み抵抗体等の受動素子の占有面積を少なくし基板の小型化を図ることができる混成集積回路を提供することにある。

〔課題を解決するための手段〕

この発明は、多層よりなる回路基板の層間の配線接続を施すために開けられたホール部に抵抗体若しくは誘電体を組込んだ混成集積回路をその要旨とするものである。

〔作用〕

層間の配線接続を行なうためのホール部に抵抗体若しくは誘電体が組込まれ、層の表面においてはその抵抗体等の占有面積は“0”となる。

〔実施例〕

以下、この発明を具体化した一実施例を図面に従って説明する。

第2図(a)~(d)はその製造工程を示す基板の断面図であり、この実施例では3層構造とし最も上層に抵抗体を配置する場合について以下述

る。

まず、第2図(a)に示すように、3枚のアルミナのグリーンシート11、12、13を用意し、最も上層に位置させるグリーンシート11の所定の位置にビアホール(穴)14、15、16を形成する。そして、第2図(b)に示すようにスクリーン印刷にてビアホール15に周知の手法により導体ペースト17を充填する。次いで、ビアホール14、16に抵抗体ペースト18、19をスクリーン印刷法にて充填する。

次に、第2図(c)に示すように、同じくスクリーン印刷にて各グリーンシート11、12、13の表面に所定の導体ペースト20、21のパターンを印刷する。そして、第2図(d)に示すように、各グリーンシート11、12、13を重ねた状態で加圧し圧着する。その後、圧着した各グリーンシート11、12、13を焼成する。

その結果、第1図に示すような多層よりなるアルミナ基板22、23、24の層間に配線接続を施すためのビアホール部(14、16)に抵抗体

(18、19)を組み込んだ混成集積回路が形成される。この混成集積回路においては、通常の層間配線接続を行なうビアホール部(14、16)に抵抗体(18、19)が組み込まれ、基板22の表面においてはその抵抗体の占有面積は“0”となり、抵抗体の数が多くてもその占有面積を少なくし基板の小型化を図ることができることとなる。即ち、従来では厚膜抵抗体1の占有面積は導体3、4を含めて少なくとも1.6mm²程度必要となっていたが、その抵抗体の占有領域をなくすことができることとなる。

又、ビアホール部の抵抗体形成プロセスは従来のビアホール部への導体充填工程を抵抗体充填工程に置換えるだけでよいので、従来の工程に特別の工程を付加することなく容易に行なうことができる。

尚、この発明は上記実施例に限定されるものでなく、上記実施例ではビアホール部に受動素子として抵抗体を組み込んだが誘電体をスクリーン印刷法で組み込んでよい。

又、上記実施例では各グリーンシート11、12、13を重ねることにより多層化した但、第3図に示すように、導体ペーストと絶縁ペーストを交互に印刷する方法により多層化しそのビアホール部に抵抗体等を組み込んでよい。即ち、1枚の焼成したアルミナ基板25上に導体ペースト26のパターンを形成し、次に、そのアルミナ基板25上に導体ペースト26に連通するビアホール27を有する絶縁ペースト(ガラスペーストあるいはガラスセラミックペースト)28を印刷する。その後、ビアホール27に導体ペースト29や抵抗体ペースト30をスクリーン印刷法により充填する。さらに、同様に絶縁ペースト31により多層化し、その後焼成することにより製造するようにしてもよい。

さらに、基板材料もアルミナに限定されるものではなく、例えばガラスセラミックや、あるいはガラスエポキシ等の樹脂材料であってもよい。

又、この発明の構造は両面スルーホール基板におけるスルーホール部にも適用できる。

[発明の効果]

以上詳述したようにこの発明によれば、図上の抵抗体等の受動素子の占有面積を少なくし基板の小型化を図ることができる優れた効果を発揮する。

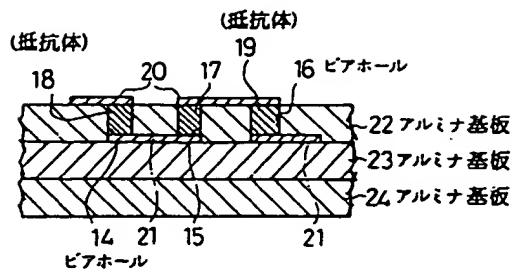
4. 図面の簡単な説明

第1図はこの発明を具体化した混成集積回路の断面図、第2図(a)～(d)は混成集積回路の製造工程を説明するための断面図、第3図は別例の混成集積回路の断面図、第4図は従来の混成集積回路の断面図である。

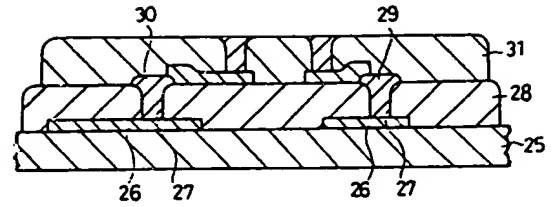
14はビアホール、16はビアホール、18は抵抗体(抵抗体ペースト)、19は抵抗体(抵抗体ペースト)、22はアルミナ基板、23はアルミナ基板、24はアルミナ基板、27はビアホール、28は絶縁ペースト、30は抵抗体ペースト、31は絶縁ペースト。

特許出願人 日本電装 株式会社
代理人 弁理士 恩田 博宣

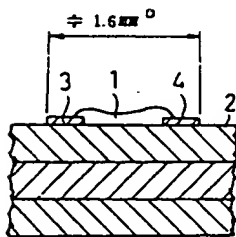
第 1 図



第 3 図



第 4 図



第 2 図

